

Implementasi FPGA sebagai Pembangkitan Pulsa Pada Inverter 3 Fasa 18-Step dengan topologi triple choper triple bridge inverter

Akhmad Hendriawan, Joke Pratilastiarso, Moh. Zaenal Efendi
Politeknk Elektronika Negeri Surabaya
Institut Teknologi Sepuluh Nopember(ITS) Surabaya.
Kampus ITS, Sukolilo, Surabaya 60111

E-mail: hendri@eepis-its.edu , joke@eepis-its.edu, zen@eepis-its.edu

Abstrak: Pada paper ini disampaikan implementasi Xilinx FPGA sebagai pembangkit pulsa pada inverter 3 fasa 18 step. Topologi multilevel inverter memerlukan banyak penyakelaran. Penggunaan mikrokontroller untuk membangkitkan pulsa yang outputnya paralel dan realtime sangat sulit karena prosesnya yang sekuensial. Untuk itu Digunakan Piranti FPGA sebagai sarana implementasi hardware. Piranti FPGA berfungsi untuk membangkitkan sinyal-sinyal PWM yang dibutuhkan untuk mengontrol inverter dan chopper. Dengan mengubah parameter yang berasal dari port input didapatkan duty cycle yang diinginkan yaitu sebesar 50% dan 75%. Bentuk sinyal disimpan dalam ROM. Tiga buah counter dibutuhkan untuk menampilkan sinyal pada fasa R, fasa S dan fasa T dengan perbedaan fasa antara ketiga counter sebesar 120 derajat. Berdasarkan hasil percobaan yang ditampilkan menggunakan logic analyzer didapatkan bentuk gelombang 3 fasa yang diinginkan.

Kata kunci: FPGA,ROM,PWM, Multiplier, Multilevel Inverter, Chopper

1. Pendahuluan

Topologi multilevel inverter memerlukan banyak penyakelaran. Berbagai macam metode pembangkitan pulsa dilakukan untuk melakukan pensaklaran terhadap rangkaian chopper dan inverter.

Metode pembangkitan pulsa dengan menggunakan sebuah ROM yang addressnya dicounter oleh rangkaian counter telah berhasil dilakukan. Dalam Metode ini Bentuk sinyal timing inverter dan chopper di transfer ke file yang kemudian di transfer ke sebuah ROM lewat alat pemrogram EPROM. Kelemahan dari metode ini adalah tidak fleksibel, karena duty cycle tidak dapat diatur.

Metode lain yang dikembangkan oleh [1] berusaha untuk mengatasi kelemahan dalam hal pengaturan dutycycle. Caranya adalah dengan mengkonversi bentuk sinyal menjadi duty cycle yang sepadan yang kemudian disimpan kedalam ROM. Saat mikrokontroller dihidupkan, sinyal duty cycle diambil dari ROM dan dikeluarkan di port mikrokontroller.

Perbedaan dengan metode pertama adalah data yang disimpan didalam metode kedua berupa urutan duty cycle. Pengaturan kecepatan yang diatur dengan cara mengubah duty cycle lewat port input mempunyai keuntungan dalam hal fleksibilitas. Kelemahan dari metode ini adalah kecepatan. Penggunaan mikrokontroller untuk membangkitkan pulsa yang outputnya paralel dan realtime sangat sulit karena prosesnya yang sekuensial.

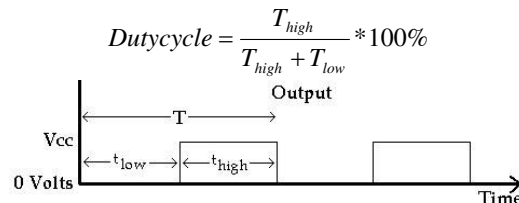
Pada paper ini disajikan metode untuk membangkitkan sinyal-sinyal PWM yang dibutuhkan untuk mengontrol inverter dan chopper dengan menggunakan piranti FPGA. Penggunaan FPGA sebagai solusi dalam hal kecepatan dan proses yang paralel. Bentuk sinyal disimpan dalam ROM. Tiga buah counter dibutuhkan untuk menampilkan sinyal pada fasa

R, S dan T dengan perbedaan fasa antara ketiga counter sebesar 120 derajat.

2. Perancangan Sistem

PWM Controller

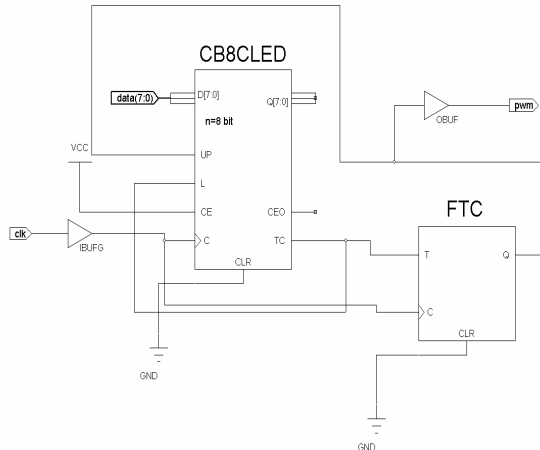
Prinsip kerja PWM ditunjukkan pada Gambar 2. Sinyal yang mempunyai periode tertentu diatur lebar pulsa on dan off. Hubungan antara T_{high} dan T_{low} dinyatakan dengan duty cycle, dimana $T_{high}+T_{low}$ selalu tetap.



Gambar 2 . Prinsip kerja PWM.

Pembangkit PWM digunakan piranti FPGA. Implementasi pwm dibuat menggunakan presetable counter dan register TFF yang ditunjukkan pada gambar 3.

Data dutycycle sebanyak 8 bit dimasukkan pada port data(7:0). Dari data yang dimasukkan tersebut, counter akan mulai melakukan perhitungan naik dengan output di pin pwm berlogika 1. Apabila counter mcencapai hitungan maksimal, Terminal Counter(TC) di set 1. Bersamaan dengan itu pin load(L) berlogika 1 yang menyebabkan hitungan awal counter sama dengan data input counter dan hitungan diset mundur. Kemudian counter menghitung lagi dengan keluran output berlogika 0. Demikian seterusnya sehingga dihasilkan keluran berupa pulsa dengan duty cycle yang dapat diubah - ubah nilainya



gambar 3. rangkaian pwm

dengan memasukkan data kedalam port input.

Periode frame dari pwm ditentukan oleh lebar data dari counter. Karena counter mempunyai lebar data 8 bit maka

$$PeriodeP\text{WM} = 2^{\text{Lebarcount}} * Tclk$$

atau dalam frekuensi;

$$FrekuensiP\text{WM} = \frac{Fclk}{2^{\text{lebarCount er}}}$$

Dengan lebar data counter sebesar 8 bit dan pulsa clk sebesar 3,125 Mhz maka dihasilkan Frekuensi Pwm sebesar

$$FrekuensiP\text{WM} = \frac{3,125\text{Mhz}}{2^8} = 12,2\text{Khz}$$

sehingga periode frame sebesar 81,92us.

Periode High (Thigh) ditetapkan dengan

$$PeriodeHigh = \text{DataInput} * Tclk$$

Duty cycle dalam persen ditetapkan dengan persamaan

$$DutyCycle = \frac{PeriodeHigh}{PeriodeP\text{WM}} * 100\% \text{ atau}$$

$$DutyCycle = \frac{\text{DataInput} * Tclk}{2^{\text{Lebarcount}} * Tclk} * 100\%$$

Dengan counter sebesar 8 bit dan nilai pada port input diset 128 desimal maka dihasilkan dutycycle sebesar 50%.

Multiplier

Output dari PWM dirancang dependent yaitu output pwm 2 harus 1.5 kalinya dari pwm 1. Dengan disain ini pengaturan kecepatan motor diperoleh hanya dari satu pengaturan parameter dutycycle Untuk mendapatkan keluaran pwm2 dengan dutycycle sebesar 75% digunakan rangkaian multiplier yang ditunjukkan pada gambar 4

Untuk menghemat jumlah CLB pada FPGA maka pembagian dengan dua dilakukan dengan cara penggeseran kekanan sebesar 1 bit.

$$InP\text{WM} 2 = InP\text{WM} 1 * 1.5$$

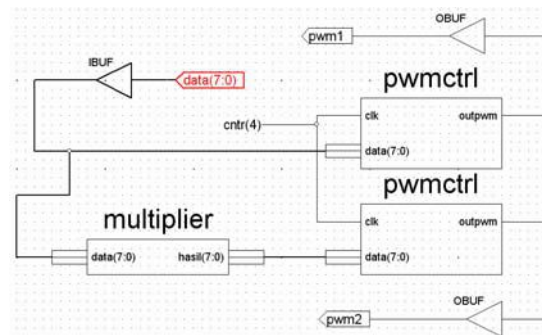
$$InP\text{WM} 2 = Inpwm 2 * \frac{3}{2^1}$$

dalam bahasa VHDL dilakukan dengan cara:

```

process (data)
variable result: std_logic_vector(9 downto 0);
begin
result:=(data*"11");
result:="0"&result(9 downto 1);
IF result>"11111111" then
hasil<=X"FF";
else
hasil<=result(7 downto 0);
end if;
end process;

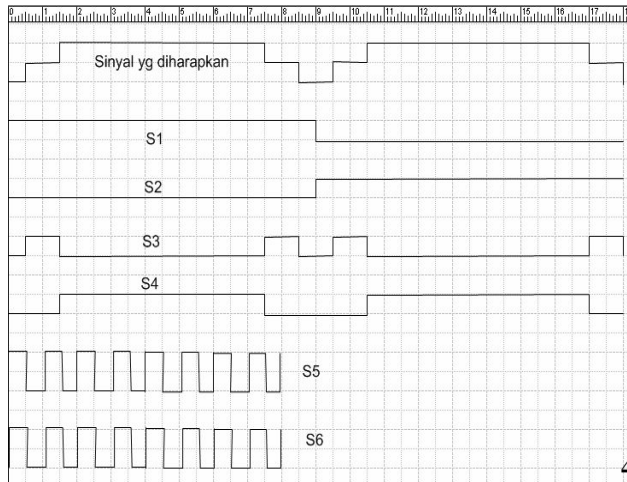
```



Gambar 4. rangkaian pwm dan multiplier

Penghasil sinyal chopper dan bridge

Sinyal dirancang seperti pada gambar 5. Output dari sinyal S1 dihubungkan dengan bridge 13, Output sinyal S2 dihubungkan dengan bridge 24, Output sinyal S3 dihubungkan dengan chopper 1 yang disulut dengan duty cycle dari sinyal s5 sebesar 50%. Output sinyal S4 dihubungkan dengan chopper 2 yang disulut dengan menggunakan duty cycle sebesar 75%. 4 bit keluaran dihubungkan dengan fasa R, untuk menghasilkan tiga fasa dibutuhkan keluaran yang sama dengan fasa R yang digeser sebesar 120 derajat. Pada gambar 5 terlihat bahwa dalam 1 periode sinyal terdapat perbedaan antar sinyal sebesar 0.5 step sehingga dalam satu periode dicacah sebesar 36 kali. Bentuk sinyal-sinyal S1,S2,S3 dan S4 disimpan dalam ROM yang mempunyai kapasitas 4x36bit.



gambar 5 sinyal output chopper dan bridge yang diharapkan

Counter

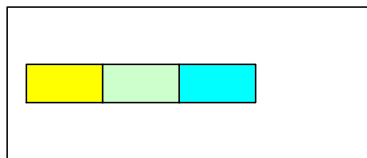
Counter digunakan untuk melakukan pengamatan terhadap sinyal rom secara sekuensial. Perancangan counter sebagai berikut:

- Dalam satu periode sinyal disampling sebesar 36 kali, sehingga ukuran counter sebesar 6 bit.
- Karena satu periode sampling sebesar 36 kali maka hitungan maksimal counter sebesar 36. dari 0 sampai 35
- Satu sinyal disampling sebanyak 36 kali sehingga untuk mendapatkan sinyal penuh dengan frekuensi 50 hz besarnya frekuensi sumber adalah:

$$FrekSumber = 50 \text{ Hz} * \text{jumlahsamp ling}$$

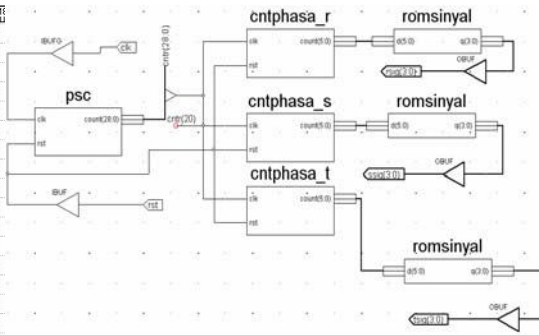
$$FrekSumber = 50 * 36 = 1800 \text{ Hz}$$

- Keluaran sinyal fasa S berbesa 120 derajat dari fasa R, keluaran fasa T berbeda 120 derajat dari fasa R. Karena satu periode sebesar 360 derajat dan dicacah sebanyak 36 kali. Maka pada saat reset pada counter R sinyal yang keluar dimulai pada hitungan ke 24. sementara pada counter S hitungan awal pada hitungan ke 12 dan pada counter T hitungan mulai dari 0 yang di ilustrasikan pada gambar 6



Gambar 6 tabel ROM

- Komponen yang ditunjukkan pada gambar7 PSC digunakan sebagai prscaller dari clk input.

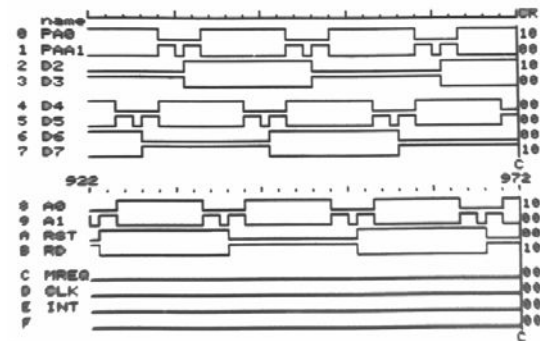


gambar 7. rangkaian penghasil sinyal untuk chopper dan inverter

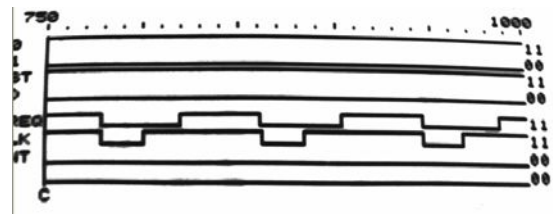
4. Hasil percobaan

Berdasarkan rancangan yang telah diberikan pada bagian-2 di atas, diperoleh hasil pada tampilan logic analyser yang diperlihatkan digambar 8 dan gambar 9

Pada Gambar 9 ditunjukkan bentuk gelombang output FPGA yang digunakan untuk menyulut chopper. FPGA mengeluarkan dutycycle sebesar 50% untuk menghasilkan tegangan chopper sebesar 150V dan mengeluarkan tegangan 75 % untuk menghasilkan tegangan sebesar 225V. Pada gambar 7 terlihat bentuk gelombang pada saluran R , saluran S, dan saluran T sebesar 120 derajat



gambar 9 bentuk sinyal driver chopper dan inverter



gambar 7 bentuk sinyal pwm pada duty cycle 50% dan 75%

5. Kesimpulan

Telah dipaparkan suatu implementasi piranti FPGA untuk pembangkitan pulsa pada inverter 3 fasa 18-step dengan topologi triple choper triple bridge inverter.

Pengaturan dan pembentukan pulsa-pulsa untuk mengeluarkan pulsa tiga pasang chopper, tiga pasang inverter dan dua pulsa pwm controller dengan berbasis FPGA didapatkan sesuai dengan bentuk sinyal yang diharapkan.

6. Daftar Pustaka

1. Akhmad Hendriawan, Joke Pratilastiarso, **Implementasi mikrokontroler 892051 untuk pembangkitan pulsa pada inverter 3 fasa 18 step.** SEE2003 jogja 2003
2. Shoji Iida, et.Al., *Improved Voltage Source Inverter With 18 Step Output Waveforms*, IEEE Trans. On Ind. Appl., January/February 1988.
3. Siriroj Sirisukprasert, *Optimized Harmonic Stepped-Waveform for Multilevel Inverter*, Thesis Master of Science in Electrical Engineering, September 1999.
4. Joke Pratilastiarso, *Development of Single-Phase Voltage Source Inverter with 18 Step Output Waveforms*, Industrial Electronics Seminar, October 1999.
5. Gary lowman, **Pulse-Width Modulation in Xilinx Programmable Logic**, Application brief, Xilinx, 1995